TEMA 3

ARQUITECTURA DE LOS PROCESADORES ADSP-2106x

CURSO 2010/2011

OBJETIVOS y BIBLIOGRAFIA

- En este tema vamos a resumir las principales características de la arquitectura SHARC de la familia ADSP-2106x, que en los siguientes temas abordaremos de una forma más detallada.

- BIBLIOGRAFIA:

"Manual de Usuario SHARC ADSP-2106x"
Editorial: Analog Devices Inc.

ARQUITECTURA DE LOS PROCESADORES ADSP-2106x

1. Introducción a los Procesadores ADSP-2106x SHARC
2. ¿Porqué un DSP de Coma Flotante?
3. Arquitectura Interna:
   - El Núcleo del Procesador
   - Memoria Interna de doble puerto
   - Interface con Memoria Externa y Periféricos
   - Interface con Procesador Host
   - Capacidades de Multiprocesamiento
   - Procesador de Entrada/Salida
4. Juego de Instrucciones
5. Herramientas de Desarrollo

INTRODUCCION

- La familia de procesadores ADSP-2106x SHARC (procesadores con arquitectura Harvard modificada) son procesaodres de 32 bits de altas prestaciones, diseñados para aplicaciones tales como procesamiento de imágenes, tratamiento de gráficos, voz, sonido.

- Estos procesadores SHARC están basados en la anterior familia de procesadores ADSP-21000, a cuyo núcleo se le ha añadido memoria interna de doble puerto y puertos de E/S integrados hasta formar un sistema completo integrado en un único chip.

- Los procesadores ADSP-2106x representan un nuevo estándar de integración en procesadores digitales de señal, combinando un núcleo con aritmética en coma flotante de altas prestaciones con funciones internas, tales como interface con un procesador host, controlador de DMA, puertos serie, conexión en sistemas multiprocesador.

INTRODUCCION

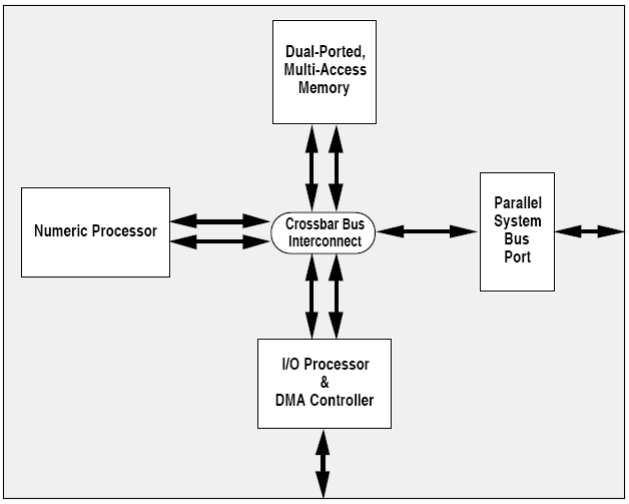
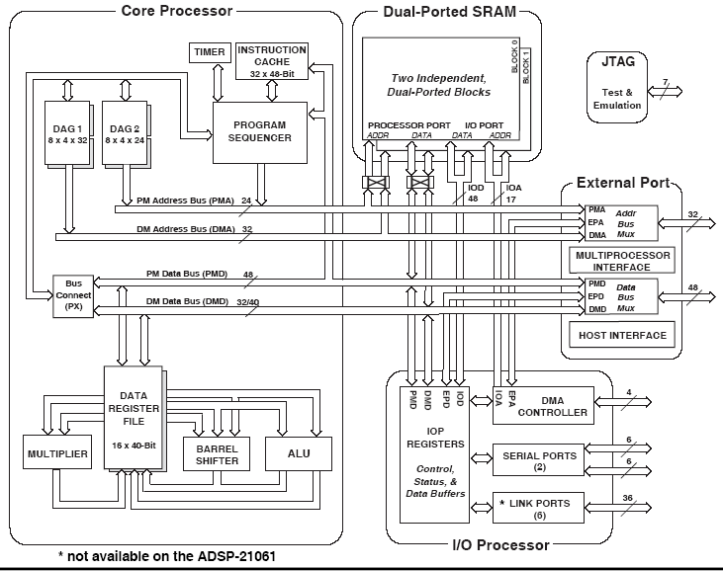


Figure 1.1 Super Harvard Architecture

INTRODUCCION

- La característica más relevante de su arquitectura interna es que dispone de distintos bloques funcionales independientes: núcleo del procesador, procesador de E/S, memoria de doble puerto e interface externo, todos ellos conectados a través de un eficiente sistema de buses.
- Arquitectura de buses:
  - ✓ Bus PM (Memoria de Programa). Este bus es utilizado tanto para acceder a instrucciones como para acceder a datos.
  - ✓ Bus DM (Memoria de Datos). Unicamente para acceder a datos.
  - ✓ Bus I/O (Entrada/salida).
- Durante un Ciclo de Instrucción el procesador puede acceder a dos operandos (uno a través del bus PM y otro a través del bus DM), a una instrucción desde la caché interna y realizar una operación de E/S (por ejemplo una transferencia DMA).

INTRODUCCION



INTRODUCCION

- **Las características más notables de la familia ADSP-2106x son:**
  - ✓ **Unidades Aritméticas flexibles y rápidas.**
  - ✓ **Flujo de datos sin restricciones a o desde las Unidades de Cálculo.**
  - ✓ **Amplio rango dinámico y precisión extendida en las Unidades de Cálculo.**
  - ✓ **Disponen de dos Generadores de Direcciones.**
  - ✓ **Eficiente secuenciamiento del programa.**

INTRODUCCION

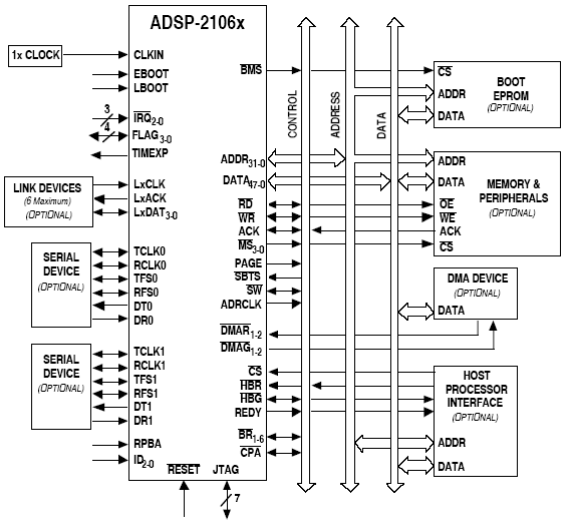


Figure 1.3 ADSP-2106x System

INTRODUCCION

- **Los principales procesadores de la familia ADSP-2106x son:**
  - ✓ **ADSP-21060: integra 4 Mbits.**
  - ✓ **ADSP-21062: integra 2 Mbits.**
  - ✓ **ADSP-21061: integra 1 Mbits.**
- **El procesador ADSP-21061, además del tamaño de la memoria interna, presenta otras 4 diferencias con respecto a los otros dos:**
  - ✓ **Carece de puertos link.**
  - ✓ **Dispone únicamente de 6 canales de DMA (frente a 10).**
  - ✓ **Presenta características diferentes en el canal de DMA del puerto serie.**
  - ✓ **Dispone de la instrucción idle16 para reducir el consumo.**

INTRODUCCION

SHARC Processors

32-Bit Generic	Max (MHz)	MMACS/ MFLOPS	On-Chip Memory SRAM/ROM (Mb)	External I/O Voltage (V)	Package	Price Range @ 1k ($U.S.)[1]	Status
ADSP-21065L	60	66/198	0.5/—	3.3	208-lead MQFP/ 196-ball CSP_BGA	22.85 to 66.63	Released
ADSP-21160M	80	160/480	4/—	3.3	400-ball PBGA	169.49 to 186.43	Released
ADSP-21160N	100	200/600	4/—	3.3	400-ball PBGA	169.49 to 199.29	Released
ADSP-21161N	100	200/600	1/—	3.3	225-ball CSP_BGA	26.17 to 34.54	Released
ADSP-21261	150	300/900	1/3	3.3	144-lead LQFP/136-ball CSP_BGA	6.64 to 7.31	Released
ADSP-21262	200	400/1200	2/4	3.3	144-lead LQFP/136-ball CSP_BGA	17.15 to 24.14	Released
ADSP-21266[2]	200	400/1200	2/4	3.3	144-lead LQFP/136-ball CSP_BGA	14.41 to 18.01	Released
ADSP-21363	333	666/1998	3/4	3.3	144-lead LQFP E_Pad/ 136-ball CSP_BGA	20.22 to 29.13	Released
ADSP-21364	333	666/1998	3/4	3.3	144-lead LQFP E_Pad/ 136-ball CSP_BGA	29.75 to 42.85	Released
ADSP-21366[2]	333	666/1998	3/4	3.3	144-lead LQFP E_Pad/ 136-ball CSP_BGA	22.60 to 32.55	Released
ADSP-21367[2]	400	800/2400	2/6	3.3	208-lead MQFP/256-ball SBGA	20.73 to 37.99	Released
ADSP-21368	400	800/2400	2/6	3.3	256-ball SBGA	31.04 to 45.53	Released
ADSP-21369	400	800/2400	2/6	3.3	208-lead MQFP/256-ball SBGA	19.69 to 36.10	Released
ADSP-21371	266	532/1596	1/4	3.3	208-lead LQFP E_Pad	13.27 to 15.92	Released
ADSP-21375	266	532/1596	0.5/2	3.3	208-lead LQFP E_Pad	9.83 to 11.79	Released
ADSP-21467	450	900/2700	5/4	3.3	324-ball PBGA	Contact ADI	Contact ADI
ADSP-21469	450	900/2700	5/4	3.3	324-ball PBGA	Contact ADI	Contact ADI

NOTES
[1]Products in U.S. dollars. Lowest speed/temperature grade suggested resale price per unit in 1000 unit quantities. All pricing is budgetary and subject to change. Please contact your local ADI sales representative or distributor for more information.
[2]Requires IP licensing prior to shipment. See individual product pages for details.

Packages: SBGA – Thermally Enhanced BGA
PBGA – Plastic Ball Grid Array
LQFP – Low-Profile Quad Flat Pack
MQFP – Metric Quad Flat Pack
CSP_BGA – Chip Scale Package Ball Grid Array

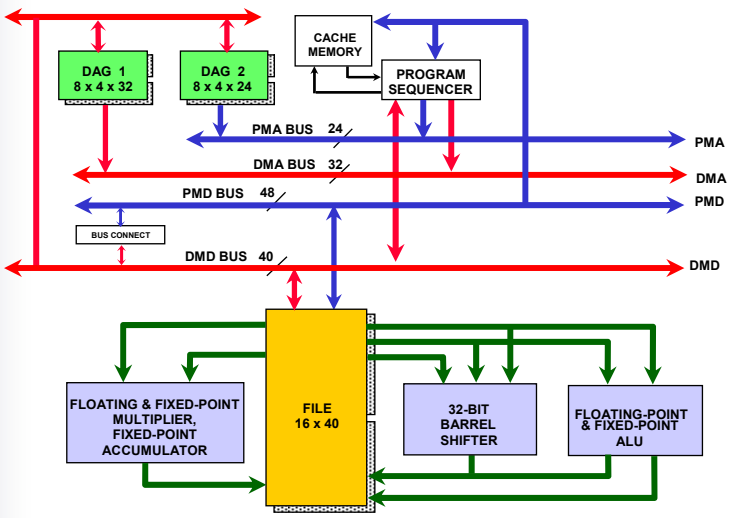
¿POR QUE UN DSP DE COMA FLOTANTE?

- **El formato de datos que utiliza un procesador determina su capacidad para manipular señales:**
  - ✓ **Precisión: el número de bits de los convertidores A/D ha ido en aumento y la tendencia es que tanto la precisión como la frecuencia de muestreo continuen aumentando.**
  - ✓ **Rango Dinámico: las aplicaciones requieren cada vez rangos dinámicos más amplios.**
  - ✓ **Relación Señal/Ruido: existen aplicaciones comerciales (radar, sonar, reconocimiento de voz) que requieren amplios rangos dinámicos para discernir las señales seleccionadas de los entornos ruidosos.**
  - ✓ **Facilidad de Uso: en general los DSP de coma flotante son mucho más fáciles de usar, lo que implica menores tiempos de desarrollo, que los DSP de coma fija. El punto hasta el cual esto es cierto depende de la arquitectura del procesador de coma flotante (el hecho de no tener que escalar las magnitudes supone una clara ventaja a la hora de utilizarlos).**

EL NUCLEO DEL PROCESADOR

- El núcleo del procesador de la familia ADSP-2106x consta de los siguientes bloques funcionales:
  - ✓ 3 Unidades de Cálculo: ALU, Multiplicador y Desplazador.
  - ✓ Banco de Registros de Datos.
  - ✓ 2 Generadores de Direcciones.
  - ✓ Secuenciador de Programa.
  - ✓ Temporizador.
  - ✓ Memoria Caché de Instrucciones.

EL NUCLEO DEL PROCESADOR



UNIDADES DE CALCULO

- El núcleo del procesador tiene tres Unidades de Cálculo independientes: una ALU, un multiplicador y un desplazador.
- Para cubrir una amplia variedad de necesidades según el tipo de procesamiento, estas unidades de cálculo procesan datos en tres formatos: datos de 32 bits en coma fija, datos de 32 bits en coma flotante (formato compatible con el estándar del IEEE) y datos de 40 bits en coma flotante (precisión extendida).
- Las unidades de computación realizan sus operaciones en un sólo ciclo, no tienen "estructura pipeline". Además están conectadas en paralelo, no en serie, de forma que la salida de cualquier unidad puede ser entrada a cualquier otra en el siguiente ciclo de instrucción.
- En una instrucción multifunción la ALU y el multiplicador realizan de forma independiente y simultánea sus operaciones.

UNIDADES DE CALCULO

- La ALU realiza las operaciones aritméticas y lógicas estandar:

  `Rn = Rx + Ry;` `Fn = Fx + Fy;`

  `Rn = Rx AND Ry;`

- El multiplicador realiza multiplicaciones en coma fija y en coma flotante, así como también, sólo en coma fija, operaciones combinadas tales como multiplicación/suma y multiplicación/resta:

  `Rn = Rx * Ry;` `Fn = Fx * Fy;`

  `Rn = MRF + Rx * Ry;` `Rn = MRF - Rx * Ry;`

- El desplazador realiza desplazamientos lógicos y aritméticos, manipulación de bits individuales, modificación y extracción de campos, sobre operandos de 32 bits:

  `Rn = LSHIFT Rx BY Ry;` `Rn = BSET Rx BY Ry;`

BANCO DE REGISTROS DE DATOS

- Los registros de datos son de propósito general y se utilizan para transferir datos entre las unidades de cálculo y los buses de datos y para almacenar resultados intermedios.
- El banco de registros está dividido en dos grupos: primarios y alternos, con 16 registros cada grupo, para cambios rápidos de contexto. Todos los registros son de 40 bits.
- El fichero de registros, junto con la arquitectura Harvard del núcleo del procesador, permiten el flujo de datos sin restricciones entre las unidades de cálculo y la memoria interna.

SECUENCIADOR DE PROGRAMA

- Los dos generadores de direcciones y el secuenciador de programa son los encargados de generar las direcciones para los accesos a memoria. Juntos el secuenciador de programa y los generadores de direcciones permiten que los cálculos se efectúen con la máxima eficiencia puesto que las unidades de cálculo están exclusivamente dedicadas al procesamiento de los datos.
- El secuenciador de programa proporciona las direcciones de las instrucciones en memoria de programa. Controla también las iteraciones en los bucles y evalua las condiciones en las instrucciones condicionales. Dispone de un contador de bucles y pila de bucles, de forma que no son necesarias instrucciones adicionales para decrementar el contador y comprobar si ha llegado a cero.
- Los procesadores ADSP-2106x logran su elevada tasa de ejecución de instrucciones mediante una estructura segmentada en tres ciclos: búsqueda, decodificación y ejecución.

GENERADORES DE DIRECCIONES

- Los generadores de direcciones proporcionan las direcciones de memoria cuando se transfieren datos entre memoria y registros.
- La existencia de dos generadores de direcciones permite al procesador generar simultáneamente dos direcciones para la lectura o escritura de dos operandos:
  - ✓ DAG1: proporciona direcciones de 32 bits para la memoria de datos.
  - ✓ DAG2: proporciona direcciones de 24 bits para la memoria de programa, para acceder a datos en memoria de programa.
- Cada generador de direcciones consta de 8 registros puntero, 8 registros modificadores, 8 registros base y 8 registros longitud de buffer.

GENERADORES DE DIRECCIONES

- Un registro puntero cuando es usado en direccionamiento indirecto puede ser modificado por un valor especificado en un registro (modificador), bien antes (premodificado) o bien después (posmodificado) de ser utilizado en el acceso.
- Un registro longitud puede ser asociado con cada puntero para realizar direccionamiento con módulo para buffers de datos circulares. Estos buffers circulares pueden ser ubicados en cualesquiera direcciones de memoria. Los buffers circulares permiten la implementación eficiente de estructuras de datos que son comúnmente usadas en procesamiento digital de señales (filtros digitales, transformadas de Fourier).
- Cada registro de los DAG tiene un registro alterno, que puede ser activado en cualquier momento para cambios rápidos de contexto.

CACHE DE INSTRUCCIONES

- El secuenciador de programa incluye una memoria caché de 32 palabras de instrucción, que permite en un ciclo de instrucción tres accesos, uno para buscar una instrucción y dos para leer dos operandos.
- La memoria caché es selectiva, solamente las instrucciones cuya búsqueda entra en conflicto con el acceso a datos en memoria de programa son almacenados en la caché. Esto permite elevadas velocidades de ejecución en bucles como filtros digitales, FFT ...

INTERRUPCIONES

- Los procesadores ADSP-2106x disponen de cuatro interrupciones procedentes del hardware externo, tres de propósito general IRQ_{0-2} y una interrupción especial dedicada a funcionar como Reset.
- Estos procesadores tienen además interrupciones generadas internamente por el temporizador, por operaciones del controlador de DMA, por desbordamiento de los buffers circulares, desbordamientos de las pilas, excepciones aritméticas e interrupciones software definidas por el usuario.
- En la atención a las interrupciones externas de propósito general y la interrupción interna provocada por el temporizador, los procesaodres ADSP-2106x automáticamante guardan en la pila el registro de estado aritmético ASTAT y el registro de modo MODE1 en paralelo con el servicio a la interrupción.

INTERRUPCIONES

- Algunos de los registros del procesador tienen registros alternos que pueden ser activados durante el servicio a las interrupciones para facilitar los cambios rápidos de contexto. (Los registros de datos del banco de registros, los registros de los generadores de direcciones y el registro de resultado del multiplicador tienen alternos).
- Los registros que están activos al salir de reset son llamados registros primarios, mientras que los otros son llamados registros secundarios o alternos.
- Unos bits de control en el registro MODE1 determinan qué juego de registros está activo en cada momento.

TEMPORIZADOR

- El temporizador o generador de intervalos de tiempo programable genera interrupciones periódicas.
- Cuando está habilitado, decrementa un registro contador de 32 bits con cada ciclo de reloj. Cuando el registro contador llega a cero el procesador genera una interrupción y activa la salida TIMEXP.
- Una vez finalizada la cuenta el registro contador se recarga automáticamente con el contenido del registro período también de 32 bits y la cuenta se reanuda inmediatamente otra vez.

ARQUITECTURA DE BUSES

- El núcleo del procesador dispone de cuatro buses:
  - ✓ Bus de Direcciones de Memoria de Programa (PMA).
  - ✓ Bus de Direcciones de Memoria de Datos (DMA).
  - ✓ Bus de Datos de Memoria de Programa (PMD).
  - ✓ Bus de Datos de Memoria de Datos (DMD).
- En los procesadores ADSP-2106x la memoria de datos almacena datos (operandos) mientas que la memoria de programa es utilizada para almacenar tanto instrucciones como datos (los coeficientes de los filtros, por ejemplo), esto permite dos búsquedas de datos cuando la instrucción es proporcionada por la memoria caché.

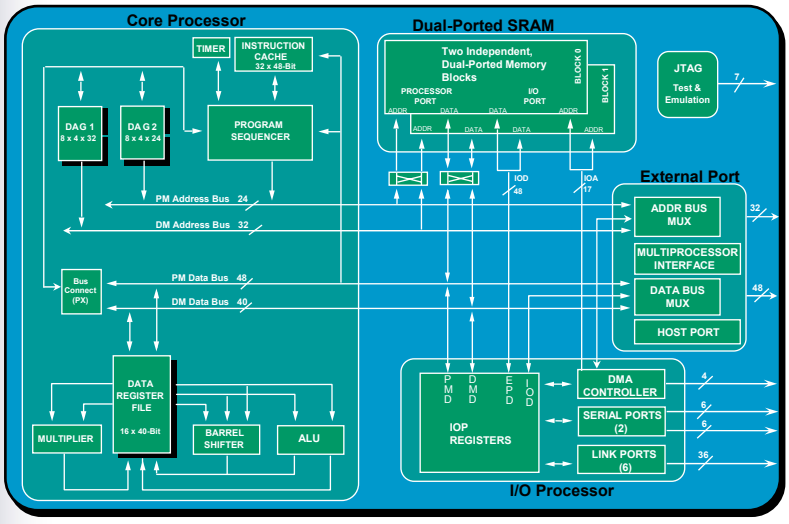
ARQUITECTURA DE BUSES

- El bus PMA tiene 24 líneas, lo que permite una capacidad máxima de direcionamiento de 16 Mpalabras entre instrucciones y datos.
- El bus PMD tiene 48 líneas para acomodarse al ancho de la palabra de instrucción, que es de 48 bits.
- Los datos en coma fija y en coma flotante en precisión simple (32 bits) se alinean con los 32 bits más significativos del bus PMD.
- El bus DMA tiene 32 líneas, lo que permite una capacidad máxima de direcionamiento de 4 Gpalabras de datos.
- El bus DMD tiene 40 líneas. Los datos en coma fija y en coma flotante en precisión simple (32 bits) se alinean con los 32 bits más significativos del bus DMD.

ARQUITECTURA DE BUSES

- El bus DMA proporciona un camino para que el contenido de cualquier registro en el procesador sea transferido a cualquier otro registro o a cualquier posición de memoria en un único ciclo.
- Las direcciones de los operandos pueden provenir de dos fuentes: un valor absoluto especificado en el código de operación de la instrucción (direccionamiento directo) o la salida de un generador de direcciones (direccionamiento indirecto).
- El juego de instrucciones incluye instrucciones para mover datos entre dos registros de propósito general cualesquiera o entre un registro y memoria Esto incluye a los registros de control, los registros de estado, así como los registros de datos del banco de registros.
- Los registros de conexión de buses PX permiten el transvase de datos entre el bus PMD de 48 bits y el bus DMD de 40 bits o entre un registro del banco de registros y el bus PMD. Estos registros contienen el hardware necesario para manipular los bits de diferencia.

MEMORIA INTERNA DE DOBLE PUERTO



MEMORIA INTERNA DE DOBLE PUERTO

- Los procesadores ADSP-2106x integran una cierta cantidad de memoria SRAM interna organizada en dos bloques de igual capacidad cada uno, que pueden ser configurados para almacenar diferentes combinaciones de programa y de datos.
- Cada bloque de memoria es de doble puerto permitiendo accesos independientes por parte del núcleo del procesador, el procesador de E/S o el controlador de DMA.
- La memoria de doble puerto y la estructura de buses internos independientes (programa, datos y E/S) permiten dos transferencias de datos desde el núcleo del procesador y una transferencia desde el procesador de E/S, todo en un único ciclo.

MEMORIA INTERNA DE DOBLE PUERTO

- Toda la memoria puede ser accedida como palabras de 16, 32 ó 48 bits.
- Por ejemplo, la memoria interna del procesador ADSP-21061 puede ser configurada como un máximo de 32 Kpalabras de datos de 32 bits, 64 Kpalabras de datos de 16 bits y 16 Kpalabras de instrucciones de 48 bits (y datos de 40 bits) o combinaciones de diferentes tamaños de palabra, hasta un máximo de 1 Mbits.
- El almacenamiento de datos en coma flotante de 16 bits es soportado puesto que efectivamente duplica la cantidad de datos que se pueden almacenar en la memoria interna. La conversión entre formatos de datos en coma flotante de 16 y 32 bits se realiza en una única instrucción.

MEMORIA INTERNA DE DOBLE PUERTO

- Aunque cada bloque de memoria puede almacenar una combinación de instrucciones y datos, los accesos a memoria son más eficientes cuando un bloque almacena datos, utilizando el bus DM para las transferencias y el otro bloque almacena instrucciones y datos, utilizando el bus PM para las transferencias .
- Utilizar los buses PM y DM de esta forma, es decir, cada uno dedicado a un bloque de memoria, asegura la ejecución de las instrucciones en un único ciclo con dos transferencias de datos. En este caso la instrucción debe estar disponible en la memoria caché.
- La ejecución en un único ciclo también se consigue cuando uno de los operandos se transfiere desde o a memoria externa utilizando el puerto externo incluido en los procesadores ADSP-2106x.

INTERFACE CON MEMORIA EXTERNA

- El puerto externo de los procesadores ADSP-2106x proporciona el interface con memoria externa y periféricos.
- Todos los procesadores de la familia ADSP-2106x tienen un espacio de direccionamiento externo de 4 Gpalabras.
- Los buses internos PMA, PMD, DMA, DMD y I/OA y I/OD están multiplexados en el puerto externo para crear un sistema de buses externo con un único bus de direcciones de 32 bits y un único bus de datos de 48 bits. La memoria externa puede organizarse también como palabras de 16, 32 ó 48 bits.
- Los procesadores ADSP-2106x disponen además de la posibilidad de generar estados de espera programables para facilitar la conexión con memorias y periféricos con tiempos de acceso variables.

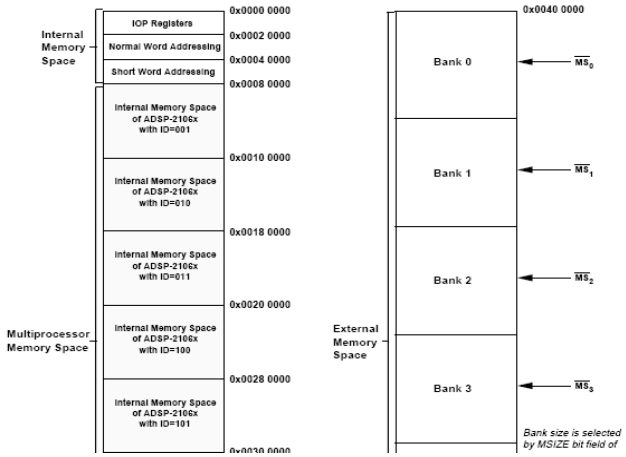
INTERFACE CON PROCESADOR HOST

- El interface con el host disponible en los procesadores ADSP-2106x permite conectar fácilmente estos procesadores con los buses estándar de microprocesadores de propósito general, tanto de 16 como de 32 bits, con una pequeña cantidad de hardware adicional. Esta conexión permite transferencias asíncronas a elevadas velocidades.
- Este interface se realiza a través del puerto externo y está mapeado en memoria dentro del espacio único de direccionamiento. Además este interface dispone también de 4 canales de DMA.
- El procesador host puede leer y escribir directamente en la memoria interna de los procesadores ADSP-2106x y puede configurar los canales de DMA.
- El sistema de interrupciones ha sido diseñado para soportar la ejecución eficiente de los comandos del host.

CAPACIDADES DE MULTIPROCESAMIENTO

- Los procesadores ADSP-2106x disponen de potentes características adaptadas a sistemas multiprocesador basados en DSP.
- El espacio de direccionamiento unificado permite el acceso directo de cada procesador a las memorias internas del resto de procesadores.
- La lógica de arbitraje del bus es interna y permite conectar hasta un máximo de 6 procesadores ADSP-2106x y un procesador host.
- El bus del procesador utiliza los ciclos indivisibles de lectura-modificación-escritura para actualizar semáforos.
- El sistema de gestión de interrupciones soporta también la ejecución de comandos entre procesadores.
- La máxima velocidad de transferencia de datos entre procesadores es de 240 Mbytes por segundo a través de los puertos link o del puerto externo.

CAPACIDADES DE MULTIPROCESAMIENTO



PROCESADOR DE ENTRADA/SALIDA

- El procesador de Entrada/Salida incluido en los procesadores de la familia ADSP-2106x consta de dos puertos serie, seis puertos link de 4 bits y un controlador de DMA.

PUERTOS SERIE

- Los dos puertos serie síncronos integrados proporcionan un interface económico con una gran variedad de dispositivos periféricos. Estos puertos pueden funcionar utilizando como señal de reloj el reloj del sistema (40 MHz), lo que hace que su velocidad máxima de transferencia sea de 40 Mbits/s.
- Las funciones de transmisión y recepción son independientes, proporcionando gran flexibilidad a la comunicación serie.
- Los datos recibidos o transmitidos por el puerto serie pueden ser automáticamente transferidos a o desde la memoria interna a través de DMA.

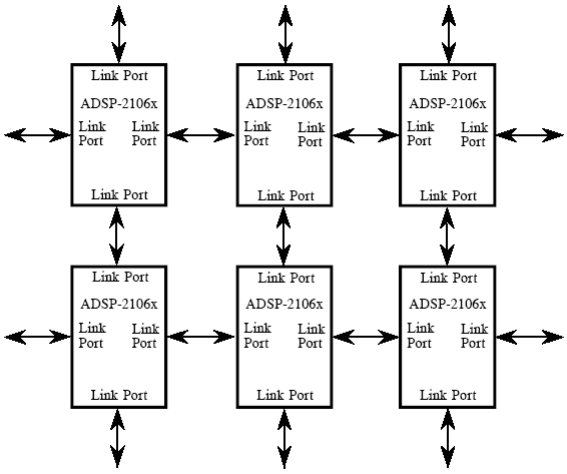
PROCESADOR DE ENTRADA/SALIDA

- Los puertos serie soportan diversos formatos de transmisión: primero los bits más significativos, primero los bits menos significativos, diversas longitudes de palabra programables desde 3 a 32 bits. Las señales de reloj y señales de sincronización utilizadas por los puertos serie pueden ser generadas interna o externamente.

PUERTOS LINK

- Los procesadores ADSP-21060 y ADSP-21062 disponen de seis puertos link de 4 bits cada uno, que proporcionan capacidades adicionales de E/S. (El procesador ADSP-21061 no dispone de puertos link).
- Los puertos link son especialmente útiles para realizar comunicaciones punto a punto entre procesadores en sistemas multiprocesamiento.
- Los seis puertos link pueden operar de forma independiente y simultánea, con una tasa máxima de transferencia de datos de 240 Mbytes/s.

PROCESADOR DE ENTRADA/SALIDA



PROCESADOR DE ENTRADA/SALIDA

- Los datos transmitidos por los puertos link pueden ser formateados en palabras de 32 bits o de 48 bits y pueden ser leídos directamente por el núcleo del procesador o transferidos mediante DMA a la memoria interna del procesador. Las transferencias pueden ser programadas como transmisión o como recepción.

CONTROLADOR DE DMA

- El controlador de DMA interno de la familia de procesadores ADSP-2106x permite transferencias de datos sin la intervención del procesador (sin sobrecarga para el procesador).
- El controlador de DMA funciona de una manera independiente e invisible para el núcleo del procesador, permitiendo que las operaciones DMA ocurran mientras el núcleo está simultáneamente ejecutando su programa. Tanto el código como los datos pueden ser descargados al procesador utilizando transferencias DMA.

PROCESADOR DE ENTRADA/SALIDA

- En los procesadores ADSP-2106x las transferencias DMA pueden ocurrir entre la memoria interna y la memoria externa, periféricos externos o el procesador host. También pueden ocurrir entre la memoria interna y los puertos serie o puertos link. Las transferencias DMA entre memoria externa y dispositivos periféricos externos son otra opción.
- Durante las transferencias DMA se realiza automáticamente el formateado de los datos en palabras de 16, 32 ó 48 bits.
- El procesador ADSP-21061 tiene 6 canales de DMA, cuatro para los puertos serie y dos para el puerto externo.
- Otras características de las transferencias DMA son la posibilidad de generar una interrupción cuando finaliza la transferencia DMA, así como también la posibilidad de realizar transferencias DMA encadenadas.

JUEGO DE INSTRUCCIONES

- El juego de instrucciones de la familia de procesadores ADSP-2106x proporciona una gran variedad de capacidades de programación.
- Dispone de instrucciones multifunción que permiten realizar en paralelo cálculos junto con transferencias de datos así como simultanear operaciones en el multiplicador y en la ALU.
- La potencia de los modos de direccionamiento proporciona flexibilidad en el movimiento de datos tanto interna como externamente.
- Cada instrucción puede ejecutarse en un único ciclo de reloj del procesador.
- El lenguaje ensamblador de la familia de procesadores ADSP-2106x utiliza una sintaxis algebraica, lo que facilita la escritura de los programas y su lectura.
- Un potente juego de herramientas de desarrollo dan soporte al desarrollo de los programas.

HERRAMIENTAS DE DESARROLLO

- La familia de procesadores ADSP-2106x está soportada por un completo conjunto de herramientas de desarrollo tanto software como hardware que incluyen la tarjeta de evaluación EZ-LAB, el emulador EZ-ICE y las herramientas de desarrollo de programas.
- Las herramientas de desarrollo software facilitan la escritura y depuración de aplicaciones tanto en lenguaje ensamblador como en lenguaje C.
- El emulador EZ-ICE permite la integración del sistema hardware/software y el depurado de los errores.
- Como ejemplos de herramientas software cabe citar: compilador de lenguaje C, librerías de rutinas en C, programa ensamblador, librerías en lenguaje ensamblador, linker y simulador.

HERRAMIENTAS DE DESARROLLO